

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年9月1日 (01.09.2005)

PCT

(10) 国際公開番号
WO 2005/080997 A1

(51) 国際特許分類⁷:

G01R 19/165

(21) 国際出願番号:

PCT/JP2005/002273

(22) 国際出願日:

2005年2月15日 (15.02.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2004-045739 2004年2月23日 (23.02.2004) JP

(71) 出願人(米国を除く全ての指定国について): ローム
株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都
府京都市右京区西院溝崎町21番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 大平 正則
(OHIRA, Masanori) [JP/JP]; 〒6158585 京都府京都市
右京区西院溝崎町21番地 ローム株式会社内 Kyoto
(JP).

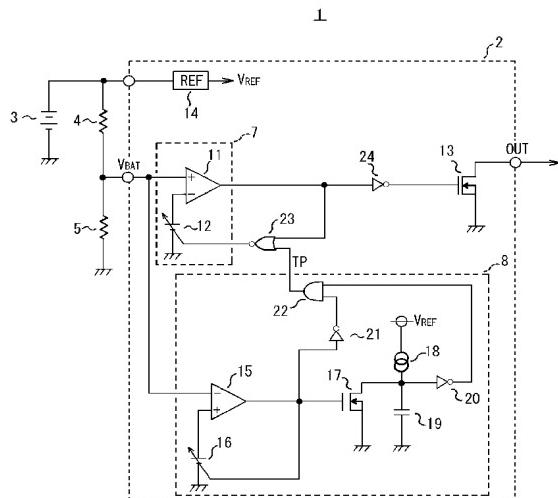
(74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153
滋賀県大津市一里山四丁目9番82号 こなん特許
事務所 Shiga (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: VOLTAGE DETECTING CIRCUIT AND BATTERY DEVICE USING SAME

(54) 発明の名称: 電圧検出回路及びそれを用いたバッテリ装置



WO 2005/080997 A1

(57) Abstract: A voltage detecting circuit enabling a battery mounted in a device incorporating the voltage detecting circuit to be infallibly used until its use limit and a battery device using the same are provided. The voltage detecting circuit (2) constituting the battery device (1) comprises an input voltage comparing circuit(7) for comparing a first threshold voltage or a second threshold voltage lower than the first one with an input voltage V_{BAT} and controlling the open/close of an output switching element(13) and a threshold voltage forced setting circuit (8) for comparing a third threshold voltage lower than the second threshold voltage with the input voltage V_{BAT} and outputting a pulse to allow the input voltage comparing circuit (7) to forcedly select the second threshold voltage for a predetermined time after the input voltage varies from a low value to a high value and crosses the third threshold voltage. Therefore, when the input voltage V_{BAT} rises from the ground potential, the input voltage comparing circuit (7) compares the second threshold with the input voltage V_{BAT} .

(57) 要約: バッテリ搭載機器に組み込んだ場合に、そのバッテリが使用限度まで確実に使用可能となる電圧検出回路及びそれを用いたバッテリ装置を提供する。バッテリ装置1を構成する電圧検出回路2は、第1のしきい値電圧またはそれよりも低い第2のしきい値電圧を入力電圧 V_{BAT} と比較して出力スイッチング

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

素子13の開閉を制御する入力電圧比較回路7と、第2のしきい値電圧よりも低い第3のしきい値電圧を入力電圧 V_{BAT} と比較し、入力電圧が低い電圧から高い電圧に変化して第3のしきい値電圧に交差したときに、その時点から所定期間、入力電圧比較回路7において第2のしきい値電圧が強制的に選択されるようにパルスを出力するしきい値電圧強制設定回路8と、を備える。それにより、入力電圧 V_{BAT} が接地電位から立ち上がる時に、入力電圧比較回路7において第2のしきい値が入力電圧 V_{BAT} と比較される。

明 細 書

電圧検出回路及びそれを用いたバッテリ装置

技術分野

[0001] 本発明は、バッテリ等の電圧を検出し、その電圧が所定電圧に対し高低いいずれにあるかという信号を出力する電圧検出回路及びバッテリの能力を十分に發揮させ得るバッテリ搭載機器に好適なバッテリ装置に関する。

背景技術

[0002] 従来、この種の電圧検出回路及びそれを用いたバッテリ装置として、例えば特許文献1に開示されたものなどが知られている。その中の一例として、図4に電圧検出回路及びそれを用いたバッテリ装置を示す。このバッテリ装置101は、電圧検出回路102と、その入力電圧 V_{BAT} を生成する一端が接地された直列接続の抵抗104、105と、その他端に接続されたバッテリ搭載機器の電源となるバッテリ103と、から構成される。バッテリ103の電圧は直列接続の抵抗104、105により分圧され、その電圧は入力電圧 V_{BAT} として電圧検出回路102に入力される。電圧検出回路102は、この入力電圧 V_{BAT} を検出しきい値電圧 V_{TH} と比較する。入力電圧 V_{BAT} が検出しきい値電圧 V_{TH} より高いと、バッテリ残量有りと判断して出力端子OUTからその電圧検出結果のハイレベルを出力する。逆に、入力電圧 V_{BAT} が検出しきい値電圧 V_{TH} より低いと、バッテリ残量無しと判断して出力端子OUTからその電圧検出結果のローレベルを出力する。なお、出力端子OUTは、バッテリ搭載機器を構成する他の電子部品(図示せず)に接続される。

[0003] 電圧検出回路102は、入力電圧 V_{BAT} が上昇(低い電圧から高い電圧へ変化)する場合と降下(高い電圧から低い電圧へ変化)する場合とにより、別の異なるしきい値電圧(高い側及び低い側)を選択的に生成するしきい値電圧生成器112と、このしきい値電圧(検出しきい値電圧 V_{TH})を入力電圧 V_{BAT} と比較する比較器111と、その出力を反転させて出力するインバータ124と、その出力を受けて出力端子OUTから電圧検出結果を出力する出力スイッチング素子113と、基準電圧 V_{REF} を生成する基準電圧生成器(REF)114と、から構成される。ここで、インバータ124の出力は、しきい

値電圧生成器112における2つのしきい値電圧の選択をも行う。また、基準電圧 V_{REF} は、これらのしきい値電圧の基準として用いられる。

[0004] しきい値電圧生成器112と比較器111とは、入力電圧検出のヒステリシスを実現している。これにより、入力電圧 V_{BAT} が検出しきい値電圧 V_{TH} の付近にある場合、微小なノイズにより出力スイッチング素子113がオン・オフを繰り返して出力端子OUTの出力が不安定になることを防止する。

[0005] 特許文献1:特開平11-258280号公報

発明の開示

発明が解決しようとする課題

[0006] このバッテリ装置101は、入力電圧 V_{BAT} が上昇する場合は高い側のしきい値電圧が選択され、降下する場合は低い側のしきい値電圧が選択される。したがって、バッテリ103を外したときは入力電圧 V_{BAT} が降下するので低い側のしきい値電圧が、その後バッテリ103を再び装着したときは入力電圧 V_{BAT} が上昇するので高い側のしきい値電圧が、それぞれ検出しきい値電圧 V_{TH} として設定されていることになる。

[0007] この入力電圧 V_{BAT} と検出しきい値電圧 V_{TH} との関係を図5に示す。同図は、バッテリの残量が少しだけ有るような場合、すなわち、バッテリ103の使用初期に入力電圧 V_B が高い側のしきい値電圧(例えば2. 9V)を超えていた状態から次第に電圧が降下_{AT}し、高い側のしきい値電圧と低い側のしきい値電圧(例えば2. 5V)の間の電圧(例えば2. 6V)まで降下した状態の場合を示している。バッテリ103を外して入力電圧 V_{BA} が降下して低い側のしきい値電圧に交差すると、出力端子OUTはハイレベルからローレベルに変わるとともに、検出しきい値電圧 V_{TH} が高い側のしきい値電圧に設定される。そして、入力電圧 V_{BAT} が接地電位(0V)になった後に同じバッテリ103を再び装着すると、入力電圧 V_{BAT} は立ち上がって上昇し、低い側のしきい値電圧を越える。しかし、高い側のしきい値電圧には至らずそれに交差しないので、出力端子OUTはローレベルのままである。したがって、バッテリ搭載機器は、バッテリ103を外すまではバッテリの残量有りとして動作していたが、バッテリ103を一旦外した後に再び装着した場合、バッテリ103の残量無しの状態となってしまい、バッテリ搭載機器が起動しないという現象が生じる。このため、バッテリ搭載機器をバッテリ103の残量の限界

まで使用することができず、バッテリ使用可能時間を減少させることとなる。

[0008] 本発明は、上記事由に鑑みてなしたもので、その目的とするところは、バッテリ搭載機器に組み込んだ場合に、そのバッテリが使用限度まで確実に使用可能となる電圧検出回路及びそれを用いたバッテリ装置を提供することにある。

課題を解決するための手段

[0009] 上記の課題を解決するために、本発明の望ましい実施形態に係る電圧検出回路は、第1のしきい値電圧又はそれよりも低い第2のしきい値電圧を入力電圧と比較した出力に応じて出力スイッチング素子の開閉を制御するとともに、入力電圧が低い電圧から高い電圧に変化して第1のしきい値電圧に交差したときに第2のしきい値電圧が選択され、入力電圧が高い電圧から低い電圧に変化して第2のしきい値電圧に交差したときに第1のしきい値電圧が選択される入力電圧比較回路と、第2のしきい値電圧よりも低い第3のしきい値電圧を入力電圧と比較し、入力電圧が低い電圧から高い電圧に変化して第3のしきい値電圧に交差したときに、その時点から所定期間、入力電圧比較回路において第2のしきい値電圧が強制的に選択されるようにパルスを出力するしきい値電圧強制設定回路と、を備え、入力電圧が立ち上がるときに、入力電圧比較回路において第2のしきい値電圧が入力電圧と比較される。

[0010] このしきい値電圧強制設定回路は、望ましくは、入力電圧が低い電圧から高い電圧に変化して第3のしきい値電圧に交差したときに第3のしきい値電圧よりも低い第4のしきい値電圧が選択され、入力電圧が高い電圧から低い電圧に変化して第4のしきい値電圧に交差したときに第3のしきい値電圧が選択される。

[0011] 本発明の望ましい実施形態に係るバッテリ装置は、上述の電圧検出回路と、その入力電圧を生成する一端が接地された直列接続の抵抗と、その他端に接続されたバッテリと、を備えてなる。

発明の効果

[0012] 本発明の望ましい実施形態に係る電圧検出回路およびそれを用いたバッテリ装置は、第1及び第2のしきい値電圧よりも低い第3のしきい値電圧を設け、入力電圧の立ち上がりの際、第3のしきい値電圧に至ると、しきい値電圧強制設定回路が入力電圧比較回路を第2のしきい値電圧に設定するので、バッテリ搭載機器に組み込んだ場

合に、そのバッテリが使用限度まで確実に使用可能となる。

図面の簡単な説明

[0013] [図1]本発明の実施形態に係る電圧検出回路およびそれを用いたバッテリ装置の回路図である。

[図2]同上のしきい値電圧生成器の回路図である。

[図3]同上の動作波形図である。

[図4]背景技術の電圧検出回路およびそれを用いたバッテリ装置の回路図である。

[図5]同上の動作波形図である。

符号の説明

[0014] 1 バッテリ装置

2 電圧検出回路

3 バッテリ

4、5 抵抗

7 入力電圧比較回路

8 しきい値電圧強制設定回路

13 スイッチング素子

V_{BAT} 入力電圧

V_{TH} 検出しきい値電圧

V_{th1} 第1のしきい値電圧

V_{th2} 第2のしきい値電圧

V_{th3} 第3のしきい値電圧

V_{th4} 第4のしきい値電圧

発明を実施するための最良の形態

[0015] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態である電圧検出回路2およびそれを用いたバッテリ装置1の回路図である。

[0016] このバッテリ装置1は、電圧検出回路2と、その入力電圧 V_{BAT} を生成し一端が接地された直列接続の抵抗4、5と、その他端に接続されたバッテリ搭載機器の電源となるバッテリ3と、を備える。バッテリ3の電圧は直列接続の抵抗4、5により分圧され、その

電圧は入力電圧 V_{BAT} として電圧検出回路2に入力される。電圧検出回路2は、この入力電圧 V_{BAT} を検出しきい値電圧 V_{TH} と比較する。入力電圧 V_{BAT} が検出しきい値電圧 V_{TH} より高いと、バッテリ残量有りと判断して出力端子OUTからその電圧検出結果のハイレベルを出力する。逆に、入力電圧 V_{BAT} が検出しきい値電圧 V_{TH} より低いと、バッテリ残量無しと判断して出力端子OUTからその電圧検出結果のローレベルを出力する。なお、出力端子OUTは、バッテリ搭載機器を構成する他の電子部品(図示せず)に接続される。また、直列接続の抵抗4、5の抵抗値の比、すなわち分圧比は、バッテリ搭載機器を構成する各電子部品の仕様によって決定され、また、流れる直流電流の値を抑えるために十分に大きな抵抗値としている。

[0017] 電圧検出回路2は、入力電圧比較回路7としきい値電圧強制設定回路8と、を主要回路として有する。入力電圧比較回路7は、第1のしきい値電圧 V_{th1} 又はそれよりも低い第2のしきい値電圧 V_{th2} を検出しきい値電圧 V_{TH} とし、それを入力電圧 V_{BAT} と比較した出力に応じて出力スイッチング素子13の開閉(オン・オフ)を制御する。それとともに、入力電圧比較回路7では、入力電圧 V_{BAT} が上昇、すなわち低い電圧から高い電圧に変化して第1のしきい値電圧 V_{th1} に交差したときに第2のしきい値電圧 V_{th2} が検出しきい値電圧 V_{TH} として選択され、入力電圧 V_{BAT} が降下、すなわち高い電圧から低い電圧に変化して第2のしきい値電圧 V_{th2} に交差したときに第1のしきい値電圧 V_{th1} が検出しきい値電圧 V_{TH} として選択される。したがって、入力電圧比較回路7は、入力電圧検出のヒステリシスを有しており、入力電圧が検出しきい値電圧 V_{TH} の付近にある場合、微小なノイズにより出力スイッチング素子13がオン・オフを繰り返し、出力端子OUTの出力が安定せずに電圧検出回路2自身及びバッテリ搭載機器を構成する各電子部品において貫通電流やノイズが発生するのを防止する。なお、出力スイッチング素子13は、オープンドレイン形式のN型MOSトランジスタであり、電圧検出回路2の外側で抵抗(図示せず)によりいずれかの電源にプルアップされている。

[0018] しきい値電圧強制設定回路8は、第2のしきい値電圧 V_{th2} よりも低い第3のしきい値電圧 V_{th3} を入力電圧 V_{BAT} と比較し、入力電圧 V_{BAT} が低い電圧から高い電圧に変化して第3のしきい値電圧 V_{th3} に交差したとき、その時点から所定期間、入力電圧比較

回路7において第2のしきい値電圧 V_{th2} が強制的に選択されるようにパルスを入力電圧比較回路7へ出力する。これにより、入力電圧 V_{BAT} が接地電位から立ち上がるときに、入力電圧比較回路7において第2のしきい値電圧 V_{th2} が入力電圧 V_{BAT} と比較されるようとする。

- [0019] さらに、しきい値電圧強制設定回路8は、第3のしきい値電圧 V_{th3} を入力電圧 V_{BAT} が低い電圧から高い電圧に変化して交差したときに第3のしきい値電圧 V_{th3} よりも低い第4のしきい値電圧 V_{th4} が選択され、第4のしきい値電圧 V_{th4} を入力電圧 V_{BAT} が高い電圧から低い電圧に変化して交差したときに第3のしきい値電圧 V_{th3} が選択されるようとしている。したがって、しきい値電圧強制設定回路8もヒステリシスを有するようになり、入力電圧 V_{BAT} が第3のしきい値電圧 V_{th3} の付近にある場合、しきい値電圧強制設定回路8の出力が不安定になることを防止する。
- [0020] さらに詳しくは、電圧検出回路2は、入力電圧比較回路7の出力を反転させて出力するインバータ24と、その出力によりオン・オフする出力スイッチング素子13と、入力電圧比較回路7の出力としきい値電圧強制設定回路8の出力とが入力されて入力電圧比較回路7自身を制御するNOR回路23と、バッテリ3の電圧を直接入力し基準電圧 V_{REF} を生成して出力する基準電圧生成器(REF)14と、を備えている。
- [0021] そして、入力電圧比較回路7は、第1又は第2のしきい値電圧を検出しきい値電圧 V_{TH} として選択的に生成するしきい値電圧生成器12と、反転入力端子に入力する検出しきい値電圧 V_{TH} と非反転入力端子に入力する入力電圧 V_{BAT} とを比較する比較器11とから構成される。
- [0022] しきい値電圧生成器12は、図2に示すように、基準電圧 V_{REF} と接地電位との間に直列接続された抵抗31、32と、抵抗31と並列に設けられて端子CNTLaの入力電圧により制御されるスイッチ33と、から構成される。抵抗31と抵抗32との接続点は出力端子OUTaとなり、比較器11の反転入力端子に接続される。また、端子CNTLaは、NOR回路23の出力に接続されていて、上述のように入力電圧比較回路7自身の出力としきい値電圧強制設定回路8によって制御される。端子CNTLaの電圧がハイレベルならばスイッチ33は閉じ、出力端子OUTaからは、基準電圧 V_{REF} が第1のしきい値電圧 V_{th1} として出力される。端子CNTLaの電圧がローレベルならばスイッチ3

3は開き、出力端子OUTaからは、基準電圧 V_{REF} を抵抗31と抵抗32により分圧した電圧が第2のしきい値電圧 V_{th2} として出力される。

- [0023] なお、入力電圧比較回路7は、しきい値電圧生成器12と比較器11とを備えることで入力電圧 V_{BAT} 検出のヒステリシスを実現しているが、他の回路構成でもヒステリシスが実現可能であるのは勿論である。
- [0024] しきい値電圧強制設定回路8は、第3又は第4のしきい値電圧を選択的に生成する第2のしきい値電圧生成器16と、非反転入力端子に入力する第3又は第4のしきい値電圧と反転入力端子に入力する入力電圧 V_{BAT} とを比較する第2の比較器15と、第2の比較器15の出力を入力するN型MOSトランジスタ17と、N型MOSトランジスタ17の出力に接続され、他端が基準電圧 V_{REF} に接続された定電流源18と、N型MOSトランジスタ17の出力に接続され、他端が接地電位に接続されたコンデンサ19と、N型MOSトランジスタ17の出力を反転させて出力するインバータ回路20と、第2の比較器15の出力を反転させて出力するインバータ回路21と、インバータ回路20、21の出力を入力して上述のNOR回路23の入力端子に出力するAND回路22と、から構成される。
- [0025] N型MOSトランジスタ17、定電流源18、コンデンサ19、インバータ20は遅延期間(例えば1ミリ秒)を生成する回路である。この回路は、基準となるクロックを入力して遅延期間を生成するカウンタで置き換えることも可能である。この遅延期間を生成する回路と、インバータ21と、AND回路22によりこの遅延期間をパルス幅とするパルスを生成している。
- [0026] 第2のしきい値電圧生成器16は、図2に示すように、基準電圧 V_{REF} と接地電位との間に直列接続された抵抗34、35、36と、抵抗34と並列に設けられ、端子CNTLbの入力電圧により制御されるスイッチ37と、から構成される。抵抗35と抵抗36との接続点は出力端子OUTbとなり、第2の比較器15の非反転入力端子に接続される。また、端子CNTLbは、第2の比較器15の出力に接続される。そして、端子CNTLbの電圧がハイレベルならばスイッチ37は閉じ、出力端子OUTbからは基準電圧 V_{REF} を抵抗35と抵抗36により分圧した電圧が第3のしきい値電圧 V_{th3} として出力され、端子CNTLbの電圧がローレベルならばスイッチ37は開き、出力端子OUTbからは基準電

圧 V_{REF} を抵抗34と抵抗35とからなる直列抵抗と抵抗36により分圧した電圧が第4のしきい値電圧 V_{th4} として出力される。

[0027] なお、上述のように、しきい値電圧強制設定回路8がヒステリシスを有することは、しきい値電圧強制設定回路8の出力が不安定になることを防止するために望ましい。しかし、この出力は電圧検出回路2の外部に出力されるものではないので、それによって生じる貫通電流やノイズの程度も大きいものではない。したがって、省略することも考えられる。この場合、第2のしきい値電圧生成器16は、図2に示す抵抗34および端子CNTLbを有さず常に第3のしきい値電圧 V_{th3} のみを出力する。

[0028] 次に、電圧検出回路2の動作を、図3に基づいて具体的な電圧値等を例示しながら説明する。検出しきい値電圧 V_{TH} としての第2のしきい値電圧 V_{th2} (例えば2. 5V)よりも入力電圧 V_{BAT} が高い(例えば2. 6V)と、出力端子OUTの出力はハイレベルであり、バッテリ3の残量は有りと判断される。この状態でバッテリ3を外すと入力電圧 V_{BAT} は降下する。そして、第2のしきい値電圧 V_{th2} (例えば2. 5V)を入力電圧 V_{BAT} が高い電圧から低い電圧に変化して交差すると、比較器11の出力電圧はハイレベルからローレベルに変化する。そうすると、出力スイッチング素子13がオンして出力端子OUTはローレベルになるとともに、しきい値電圧生成器12の生成する検出しきい値電圧 V_{TH} が第1のしきい値電圧 V_{th1} (例えば2. 9V)に変化する。なお、図示はしないが、さらに入力電圧 V_{BAT} が降下し、第4のしきい値電圧 V_{th4} (例えば2. 0V)を入力電圧 V_{BAT} が高い電圧から低い電圧に変化して交差すると、第2の比較器15の出力電圧はローレベルからハイレベルに変化し、第2のしきい値電圧生成器16が生成するしきい値電圧は第3のしきい値電圧 V_{th3} (例えば2. 4V)となる。

[0029] 次に、バッテリ3を再び装着して入力電圧 V_{BAT} が接地電位から立ち上がるときの電圧検出回路2の動作を説明する。第2のしきい値電圧生成器16が生成する第3のしきい値電圧 V_{th3} (例えば2. 4V)を入力電圧 V_{BAT} が低い電圧から高い電圧に変化して交差すると、第2の比較器15の出力電圧はハイレベルからローレベルに変化する。そうすると、N型MOSトランジスタ17はオフになり、定電流源18からの電流でコンデンサ19の電圧が接地電位から徐々に増加し始めるが、定電流源18からの電流の値とコンデンサ19の容量値で決まる遅延期間(例えば1ミリ秒)までは、インバータ20

は入力をローレベルと判断する。したがって、AND回路22の入力はともにハイレベルとなるのでその出力TPもハイレベルとなり、NOR回路23の出力は、他の入力、すなわち入力電圧比較回路7自身からの制御信号に係わらずローレベルとなる。よって、しきい値電圧生成器12が生成する検出しきい値電圧 V_{TH} は、第2のしきい値電圧 V_{th2} (例えば2. 5V)となる。なお、これらの動作とともに、第2のしきい値電圧生成器16が生成するしきい値電圧は第4のしきい値電圧 V_{th4} (例えば2. 0V)に変化する。

[0030] さらに入力電圧 V_{BAT} が上昇し、上記の遅延期間(例えば1ミリ秒)までに第2のしきい値電圧 V_{th2} (例えば2. 5V)を入力電圧 V_{BAT} が低い電圧から高い電圧に変化して交差すると、比較器11の出力電圧はローレベルからハイレベルに変化する。そうすると、出力スイッチング素子13はオフし、出力端子OUTはハイレベルとなる。また、NOR回路23への入力はハイレベルになるので、上記の遅延期間(例えば1ミリ秒)経過後でも、しきい値電圧生成器12の生成する検出しきい値電圧 V_{TH} は、第2のしきい値電圧 V_{th2} (例えば2. 5V)のままである。したがって、入力電圧 V_{BAT} が第1のしきい値電圧 V_{th1} (例えば2. 9V)より低い電圧であっても、第2のしきい値電圧 V_{th2} (例えば2. 5V)を越えればバッテリ残量有りと判断されるのである。

[0031] 一方、上記の遅延期間(例えば1ミリ秒)までに第2のしきい値電圧 V_{th2} (例えば2. 5V)を入力電圧 V_{BAT} が低い電圧から高い電圧に変化しても交差しない場合、AND回路22の出力TPはローレベルとなり、NOR回路23の出力はハイレベルとなり、しきい値電圧生成器12の生成する検出しきい値電圧 V_{TH} は第1のしきい値電圧 V_{th1} (例えば2. 9V)に戻る。そして、比較器11の出力電圧はローレベルのままであり、出力端子OUTはローレベルのまま変化せず、バッテリ残量無しと判断される。図3の右部分に示される状態は、入力電圧 V_{BAT} が第2のしきい値電圧 V_{th2} (例えば2. 5V)まで到達しない電圧(例えば2. 45V)である場合で、バッテリ残量無しと判断される。

[0032] ここで注意すべきは、図示はしていないが、バッテリ残量無しと判断されるのは、最終的に入力電圧 V_{BAT} が第2のしきい値電圧 V_{th2} (例えば2. 5V)まで到達するもの、第3のしきい値電圧 V_{th3} (例えば2. 4V)から第2のしきい値電圧 V_{th2} (例えば2. 5V)まで上昇するのに、上記の遅延期間(例えば1ミリ秒)よりも時間がかかる場合も該当することである。したがって、そのためにバッテリの残量が使用限度までに至っていない

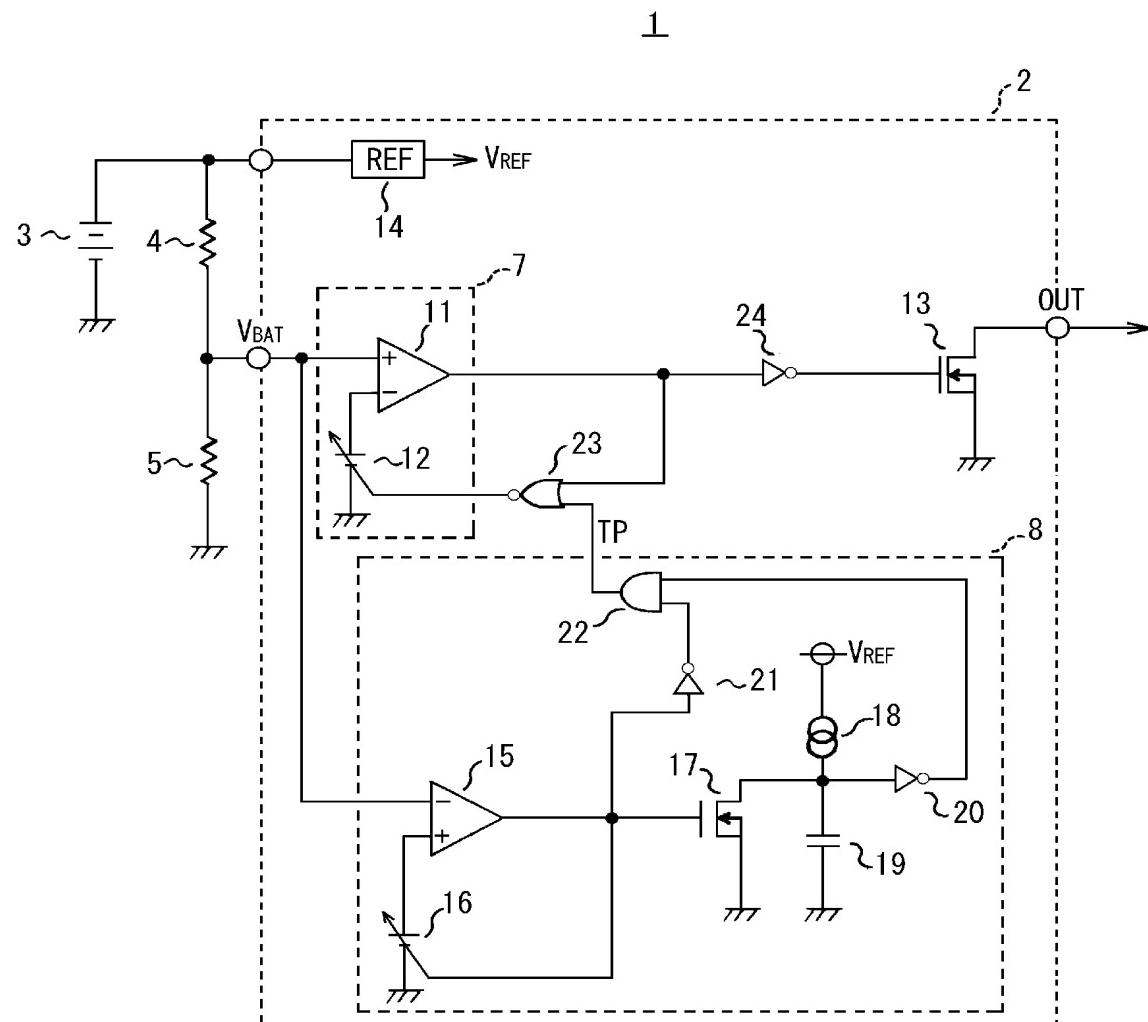
いにもかかわらず、残量無しと判断されることはないように、バッテリ3および抵抗4、5の寄生容量等を考慮し、バッテリ残量が適量の場合における実際の第3のしきい値電圧 V_{th3} （例えば2.4V）から第2のしきい値電圧 V_{th2} （例えば2.5V）までの上昇に要する時間よりも大きく上記の遅延期間を決めておく必要がある。

- [0033] 以上説明したように、本発明の実施形態である電圧検出回路2およびそれを用いたバッテリ装置1は、第1及び第2のしきい値電圧 V_{th1} 、 V_{th2} よりも低い第3のしきい値電圧 V_{th3} を設け、入力電圧 V_{BAT} の立ち上がりの際、第3のしきい値電圧 V_{th3} に至ると、しきい値電圧強制設定回路8が入力電圧比較回路7を第2のしきい値電圧 V_{th2} に設定するので、バッテリの残量が少しだけ有りバッテリを一旦外した後に再び装着した場合でも、バッテリの残量無しの状態となってバッテリ搭載機器が起動しないという現象を防止することができる。こうして、電圧検出回路2およびそれを用いたバッテリ装置1は、バッテリ搭載機器に組み込んだ場合に、そのバッテリが使用限度まで確実に使用可能となり、バッテリ使用可能時間を実質的に延ばすことができる。
- [0034] また、本発明は、上述した実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。

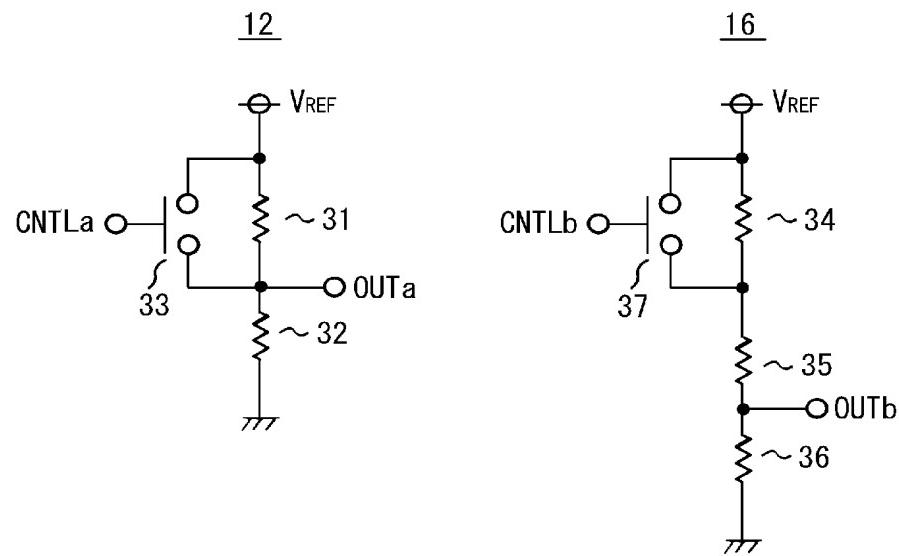
請求の範囲

- [1] 第1のしきい値電圧又はそれよりも低い第2のしきい値電圧を入力電圧と比較した出力に応じて出力スイッチング素子の開閉を制御するとともに、入力電圧が低い電圧から高い電圧に変化して第1のしきい値電圧に交差したときに第2のしきい値電圧が選択され、入力電圧が高い電圧から低い電圧に変化して第2のしきい値電圧に交差したときに第1のしきい値電圧が選択される入力電圧比較回路と、
第2のしきい値電圧よりも低い第3のしきい値電圧を入力電圧と比較し、入力電圧が低い電圧から高い電圧に変化して第3のしきい値電圧に交差したときに、その時点から所定期間、入力電圧比較回路において第2のしきい値電圧が強制的に選択されるようにパルスを出力するしきい値電圧強制設定回路と、を備え、
入力電圧が立ち上がるときに、入力電圧比較回路において第2のしきい値電圧が入力電圧と比較されることを特徴とする電圧検出回路。
- [2] 請求項1に記載の電圧検出回路において、
しきい値電圧強制設定回路は、入力電圧が低い電圧から高い電圧に変化して第3のしきい値電圧に交差したときに第3のしきい値電圧よりも低い第4のしきい値電圧が選択され、入力電圧が高い電圧から低い電圧に変化して第4のしきい値電圧に交差したときに第3のしきい値電圧が選択されることを特徴とする電圧検出回路。
- [3] 請求項1または2に記載の電圧検出回路と、その入力電圧を生成する一端が接地された直列接続の抵抗と、その他端に接続されたバッテリと、を備えてなることを特徴とするバッテリ装置。

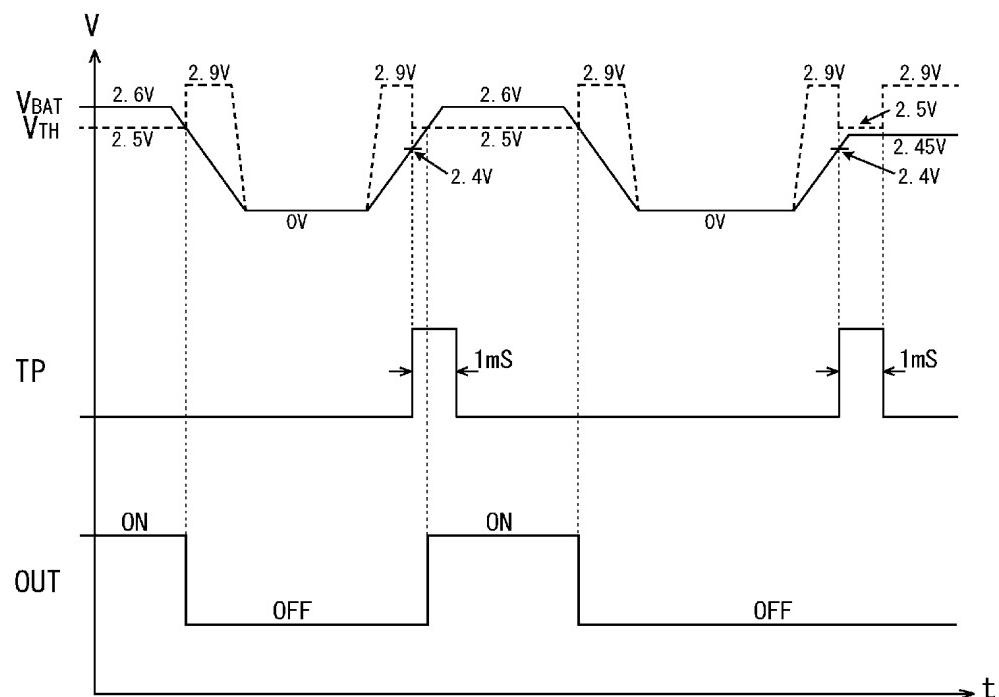
[図1]



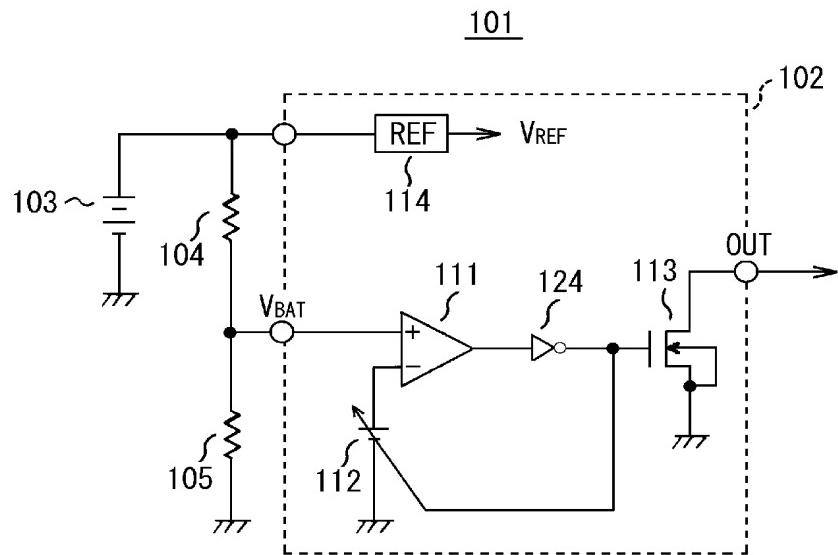
[図2]



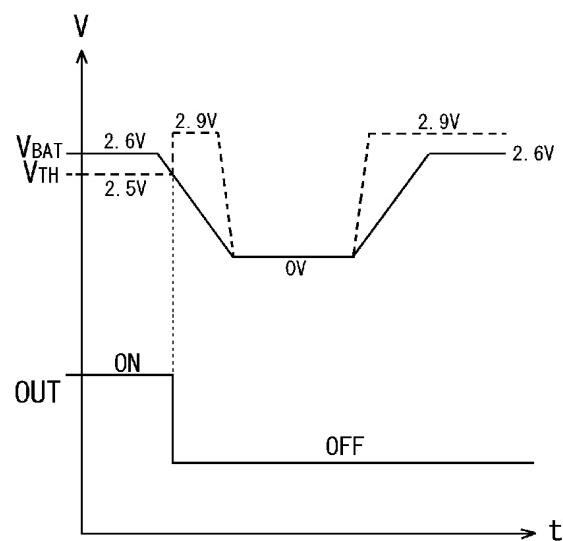
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002273

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R19/165

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R19/165

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-248761 A (Texas Instruments Japan Ltd.), 17 September, 1999 (17.09.99), Full text; all drawings (Family: none)	1-3
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 24086/1979 (Laid-open No. 125576/1980) (Nippon Kogaku Kogyo Kabushiki Kaisha), 05 September, 1980 (05.09.80), Full text; all drawings (Family: none)	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 May, 2005 (16.05.05)

Date of mailing of the international search report
31 May, 2005 (31.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ G01R19/165

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ G01R19/165

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-248761 A (日本テキサス・インスツルメンツ株式会社) 1999.09.17, 全文, 全図 (ファミリーなし)	1-3
A	日本国実用新案登録出願 54-24086 号(日本国実用新案登録出願公開 55-125576 号)の願書に添付した明細書及び図面の内容を撮影したマ イクロフィルム (日本光学工業株式会社) 1980.09.05, 全文, 全図 (ファミリーなし)	1-3

「 C 欄の続きにも文献が列挙されている。

「 パテントファミリーに関する別紙を参照。」

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 05. 2005

国際調査報告の発送日

31. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武田 知晋

2 S 9805

電話番号 03-3581-1101 内線 3258